

#4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
BOREAUX ET AL.

Serial No. 10/060,105

Confirmation No. 6421

Filing Date: January 29, 2002

For: CIRCUIT FOR THE DETECTION
OF A DEFECTIVE POWER
SUPPLY CONNECTION

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Director, U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0101253.

Respectfully submitted,

Michael W. Taylor

MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: DIRECTOR, U.S. PATENT AND
TRADEMARK OFFICE, WASHINGTON, D.C. 20231, on this 15th day of
April, 2002.

Kevin L. Peterson

THIS PAGE BLANK (USPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 21 JAN. 2002

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr

OFFICE OF THE ATTORNEY GENERAL
STATE OF NEW YORK
ALBANY, N. Y.

January 10, 1911

TO THE HONORABLE THE COMMISSIONER OF THE LAND OFFICE
ALBANY, N. Y.

SIR:

RE: [Illegible]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

[Illegible text]

CA



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 260899

REMISE 3 COPIES DATE 30 JAN 2001 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0101253 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE 30 JAN. 2001 PAR L'INPI		Réservé à l'INPI 1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet BALLOT 16 Avenue du Pont Royal 94230 CACHAN	
Vos références pour ce dossier (facultatif) 015836 - (00-RO-209))			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date / /
		N°	Date / /
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/>	N°
		N°	Date / /
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit de détection de mauvaise connexion d'alimentation			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS SA.	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN			
Code APE-NAF			
Adresse	Rue	7, avenue Galliéni	
	Code postal et ville	94250	Gentilly
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

As

coupleur la masse Gnd et une tension d'alimentation logique Vdd, et au moins un plot d'entrée/sortie avec un élément de tirage à la masse Gnd, par une résistance que l'on note Rpd. Ce plot reçoit par défaut du coupleur un niveau correspondant à la masse. Il peut changer de niveau sur des temps très courts, correspondants à des impulsions d'horloge de la liaison circuit/coupleur.

Par défaut, le circuit intégré est dans un premier mode de fonctionnement, dans lequel il consomme un courant I1 (par exemple, dans un mode lecture en mémoire). Sur commande du coupleur, il peut passer dans un deuxième mode de fonctionnement dans lequel il consomme un courant supérieur I2 (par exemple, dans un mode écriture en mémoire).

Enfin, un tel circuit intégré comprend habituellement un dispositif de ré-initialisation (Power On Reset selon la terminologie anglo-saxonne) en fonction de la différence de potentiel entre les niveaux internes de la tension d'alimentation logique et de la masse dans le circuit intégré. Ce dispositif est actif à la mise sous tension et hors tension du circuit. Notamment, il s'active à chaque fois que la différence de potentiel entre les niveaux internes de la tension d'alimentation logique et de la masse descend en dessous d'un seuil déterminé, que l'on note Vpor. On suppose dans l'exemple que le seuil Vpor est fixé à 4 volts pour une tension d'alimentation logique Vdd de 5 volts.

Supposons que le plot d'alimentation associé à la masse Gnd présente une très grande résistance série de

La masse Gnd n'est pas transmise correctement en interne du circuit intégré par ce plot. Le plot d'entrée/sortie qui est à la masse, amène la ligne de masse interne à un niveau de tension V_a par le dispositif de tirage associé. Si le circuit intégré est dans le premier mode de fonctionnement, ce niveau interne de masse V_a obtenu par la résistance de tirage R_{pd} est égal à $R_{pd}.I_1$.

Dans ces conditions, le circuit intégré pourra correctement fonctionner dans ce premier mode de fonctionnement, à la condition que le niveau interne V_i de masse soit tel que la différence de potentiel entre le niveau interne V_{ddint} de la tension d'alimentation logique V_{dd} et ce niveau interne de la masse reste

supérieur au seuil de réinitialisation V_{por} , ce qui s'écrit :

$$V_{ddint} - V_a > V_{por} ; \text{ soit } V_{ddint} - R_{pd}.I_1 > V_{por}$$

Si le circuit intégré passe dans le deuxième mode de fonctionnement, le niveau interne V_a de la masse passe à un niveau supérieur ($I_2 > I_1$), égal à $R_{pd}.I_2$.

On peut alors se retrouver dans une situation telle que la différence de potentiel entre les niveaux interne de la tension d'alimentation logique V_{dd} et de la masse Gnd devienne inférieure au seuil V_{por} de réinitialisation du circuit intégré, ce qui va bloquer le circuit intégré. Comme ce changement de situation n'est pas immédiat, il se peut qu'une partie de la commande soit reliée au deuxième mode de fonctionnement (écriture en mémoire) soit exécutée. Ce qui est encore plus

pénalisant.

Il est donc recommandé d'éviter de passer de l'un à l'autre des modes de fonctionnement.

Un objet de l'invention est de détecter que la connexion des alimentations du circuit intégré est mauvaise.

Un objet de l'invention est de détecter la présence de résistances série de contact importantes sur les plots d'alimentation.

Un objet de l'invention est de détecter que l'alimentation du circuit intégré ne se fait pas par des dispositifs de tirage de plots d'entrée/sortie du circuit intégré.

Selon l'invention, on prévoit au moins un dispositif de comparaison de niveaux de tension entre une ligne d'alimentation interne du circuit intégré et un plot d'entrée/sortie du circuit intégré, ce plot comprenant un dispositif de tirage connecté entre ce plot et cette ligne d'alimentation interne.

Si le niveau de tension sur la ligne d'alimentation interne est imposé par le dispositif de tirage, ce niveau peut être supérieur ou inférieur au niveau de tension du plot. Selon que cette différence est supérieure ou inférieure à un seuil de détection prédéterminé, on en déduit que l'alimentation est bien

ou mal connectée. Dans le cas où l'alimentation est détectée comme étant mal connectée, on prévoit que le circuit intégré bloque son propre fonctionnement. Le dispositif de détection selon l'invention agit alors comme un dispositif de sécurité, empêchant tout dysfonctionnement dans le circuit intégré qui serait dû à une mauvaise connexion d'alimentation.

En pratique, on prévoit que le dispositif de détection selon l'invention comprend un circuit de

comparaison associée à chaque niveau interne d'alimentation. Si, pour un niveau de tension d'alimentation donné, il existe plusieurs plots d'entrée/sortie avec un dispositif de tirage à ce niveau de tension, on prévoit de préférence un dispositif de comparaison pour chacun de ces plots.

Un dispositif de détection, selon l'invention est particulièrement indiqué pour lutter activement contre les tentatives de fraude visant à provoquer des fonctionnements anormaux du circuit intégré.

Il s'applique également dans les cas d'utilisation normale du circuit intégré, pour détecter l'usure ou la corrosion des plots d'alimentation. Dans ce type d'application, le dispositif de détection sera de préférence utilisé en combinaison avec des circuits de protection qui peuvent exister sur les plots d'entrée/sortie eux-mêmes. En effet, ces plots d'entrée/sortie pouvant être eux-mêmes usés ou corrodés du fait de l'utilisation normale du circuit intégré, le niveau transmis par ces plots peut être altéré et les résultats en sortie du dispositif de détection selon l'invention doivent alors être considérés en combinaison avec d'autres informations de sécurité.

Telle que revendiquée, l'invention concerne donc un dispositif de détection de mauvaise connexion d'alimentation dans un circuit intégré. Selon l'invention, dans un circuit intégré comportant au moins un plot d'alimentation pour appliquer une alimentation externe sur une ligne interne d'alimentation du circuit intégré et au moins un plot

d'entrée/sortie auquel est associé un dispositif de tirage connecté entre ledit plot et la dite ligne d'alimentation interne; ce dispositif de détection comprend un circuit de comparaison des niveaux de tension entre ledit plot et la dite ligne d'alimentation interne.

Le signal délivré par le dispositif de détection peut être utilisé pour bloquer le fonctionnement interne du circuit intégré.

D'autres caractéristiques et avantages de l'invention sont donnés dans la description suivante, faite à titre indicatif et non limitatif et en référence aux dessins annexés dans lesquels :

la figure 1 représente un schéma-bloc général d'un dispositif de détection selon l'invention dans un circuit intégré; et

la figure 2 est un schéma détaillé d'un exemple de réalisation d'un dispositif de détection selon l'invention.

La figure 1 représente un schéma-bloc d'un circuit intégré CI recevant des signaux d'un coupleur CP sur des plots de connexion et comprenant un dispositif de détection selon l'invention.

Le circuit intégré CI comprend un circuit principal 1, un circuit de détection de mauvaise connexion d'alimentation 2 et des plots de connexion. Un premier plot de connexion d'alimentation PAD-V1 est relié à une première ligne d'alimentation logique interne BV1 et reçoit une tension d'alimentation externe V1ext du coupleur CP. Un deuxième plot de connexion PAD-V2 est

est relié à une deuxième ligne d'alimentation logique interne BV2, et reçoit une tension d'alimentation externe V2ext du coupleur.

On choisit $V_{1ext} > V_{2ext}$. Ces tensions d'alimentation logique peuvent par exemple correspondre respectivement à une tension d'alimentation logique positive Vdd, par exemple de l'ordre de 3,3 volts, et à la masse Gnd. Mais l'invention ne se limite pas à des niveaux particuliers de tensions d'alimentation logique.

Lorsque les connexions sont de bonne qualité, on obtient sur les lignes d'alimentation interne un niveau interne d'alimentation, Vlint, et V2int correspondant respectivement aux niveaux des tensions d'alimentation externes appliquées sur les plots d'alimentation, soit V1ext et V2ext.

Le circuit intégré comprend aussi des plots d'entrée/sortie avec dispositif de tirage à l'un des niveaux interne de tension d'alimentation.

Dans l'exemple, on a ainsi un premier plot d'entrée/sortie PAD-A associé à un dispositif de tirage connecté entre ce plot et la deuxième ligne d'alimentation interne BV2. Ce premier plot PAD-A est forcé par défaut par le coupleur CP au niveau de la deuxième tension d'alimentation externe V2ext. Un deuxième plot d'entrée/sortie PAD-B associé à un dispositif de tirage connecté entre ce plot et la première ligne d'alimentation interne BV1. Ce deuxième plot est forcé par défaut par le coupleur au niveau de la première tension d'alimentation externe V1ext.

Dans l'exemple représenté, le dispositif de détection 2 comprend un circuit de détection associé à

chaque ligne d'alimentation interne. Un circuit de
 détection 20 est ainsi connecté en entrées à la
 première ligne interne d'alimentation BV1 et au
 deuxième plot d'entrée/sortie PAD-B. Il fournit en
 5 sortie un signal de détection Det1, en fonction du
 niveau de tension d'alimentation interne Vlint sur la
 ligne d'alimentation interne BV1 et du niveau de
 tension sur le plot d'entrée/sortie PAD-B. En effet, si
 la connexion sur le plot d'alimentation PAD-V1 est
 10 mauvaise, le niveau de tension sur la ligne interne
 d'alimentation BV1 est imposé par le dispositif de
 tirage 5 associé au plot d'entrée/sortie PAD-B. Dans ce
 cas, le niveau de tension Vlint sur la ligne interne
 d'alimentation BV1 est inférieur au niveau réel de la
 15 tension d'alimentation externe Vlext, qui est le niveau
 de tension obtenu sur le plot PAD-B.

Si la connexion est bonne au contraire, le niveau
 est sensiblement le même sur la ligne interne
 d'alimentation BV1 et sur le plot d'entrée/sortie
 20 PAD-B.

De même, un circuit de détection 21 est connecté en
 entrées à la deuxième ligne d'alimentation et au plot
 d'entrée/sortie PAD-A. Ce circuit fournit en sortie un
 signal de détection Det2, fonction des niveaux sur les
 25 deux entrées. Si la connexion sur le plot
 d'alimentation PAD-V2 est mauvaise, le niveau de
 tension V2int sur la ligne interne d'alimentation BV2
 est imposé par le dispositif de tirage 4 associé au
 plot d'entrée/sortie PAD-A. Dans ce cas, le niveau de
 30 tension V2int sur la ligne interne d'alimentation BV2
 est supérieur au niveau réel de la tension

d'alimentation externe V2ext, qui est le niveau de tension obtenu sur le plot PAD-A.

Si la connexion est bonne au contraire, le niveau est sensiblement le même sur la ligne interne d'alimentation et sur le plot d'entrée/sortie.

Dans l'exemple, un signal de sortie DET du dispositif de détection est activé dès lors que l'un au moins des signaux de détection Det1 ou Det2 est activé, indiquant une mauvaise connexion sur l'un au moins des plots d'alimentation logique. Ce signal DET est transmis au circuit principal 1 du circuit intégré, qui le gère en pratique comme un signal d'alarme. Notamment, le circuit principal peut activer des dispositifs de sécurité (non représentés) qui vont bloquer son fonctionnement.

En pratique, un circuit intégré peut comprendre plusieurs plots d'entrée/sortie avec un dispositif de tirage à l'un des niveaux de tension d'alimentation interne. Dans ce cas, on pourra prévoir un circuit de détection par plot d'entrée/sortie existant, permettant d'assurer une couverture optimale en termes de protection du circuit intégré.

La figure 2 représente un exemple de réalisation de circuits de comparaison utilisés dans un dispositif de protection selon l'invention.

Dans cet exemple, chaque circuit consiste en pratique en au moins deux inverseurs, un premier, pour comparer les niveaux de tension de la ligne interne d'alimentation et du plot d'entrée/sortie, un deuxième pour remettre en forme le signal obtenu et fournir le signal de détection en sortie.

Sur la figure 2, on a représenté les circuits de comparaison 20 et 21 pour les deux lignes internes d'alimentation BV1 et BV2. Dans le cas de la ligne interne d'alimentation BV1, le circuit de comparaison 20 associé permet de détecter que le niveau de tension V1int de cette ligne est inférieur au niveau de tension du plot d'entrée-sortie PAD-B d'environ un seuil de transistor. Dans le cas de la ligne interne d'alimentation BV2, le circuit de comparaison 21 associé permet de détecter que le niveau de tension V2int de cette ligne est supérieur au niveau de tension du plot d'entrée-sortie PAD-A d'environ un seuil de transistor.

Le circuit de comparaison 20 associé à la ligne interne d'alimentation BV1 comprend ainsi un premier inverseur 200 et un deuxième inverseur 201. Le premier inverseur 200 est alimenté entre le plot d'entrée/sortie PAD-B et la ligne interne d'alimentation BV2. L'entrée de cet inverseur est connectée à la ligne interne d'alimentation BV1.

Ainsi, tant que le niveau de la tension d'entrée, c'est à dire le niveau interne d'alimentation V1int reste supérieur ou égal au niveau de la tension du plot PAD-B appliquée comme tension d'alimentation positive de l'inverseur, la sortie de l'inverseur reste au niveau bas. Si le niveau V1int de la tension d'entrée devient inférieur au niveau de la tension du plot PAD-B, la sortie de l'inverseur bascule au niveau haut, ce qui assure la détection selon l'invention. En pratique, il suffit que le niveau V1int devienne inférieur d'un seuil de transistor au niveau de tension du plot PAD-B.

De préférence, les transistors de l'inverseur 200 du circuit de comparaison sont choisis pour avoir une tension de seuil la plus faible possible. Le deuxième inverseur 201 est lui alimenté de façon normale, par les deux lignes d'alimentation interne BV1 et BV2 et permet de remettre en forme le signal de sortie du premier inverseur.

De même le circuit de comparaison 21 associé à la ligne interne d'alimentation BV2 comprend ainsi un premier inverseur 210 et un deuxième inverseur 211. Le premier inverseur 210 est alimenté entre la ligne interne d'alimentation BV1 et le plot d'entrée/sortie PAD-A. L'entrée de cet inverseur est connectée à la ligne interne d'alimentation BV2.

Ainsi, tant que le niveau de la tension d'entrée, c'est à dire le niveau interne d'alimentation V2int reste inférieur ou égal au niveau de la tension du plot PAD-A appliquée comme tension d'alimentation négative de l'inverseur, la sortie de l'inverseur reste au

niveau haut. Si le niveau V2int de la tension d'entrée devient supérieur au niveau de la tension du plot PAD-A, la sortie de l'inverseur bascule au niveau bas, ce qui assure la détection selon l'invention. En pratique, il suffit que le niveau V2int devienne supérieur d'un seuil de transistor au niveau de tension du plot PAD-A.

De préférence, les transistors de l'inverseur 210 du circuit de comparaison est choisi pour avoir une tension de seuil la plus faible possible. Le deuxième inverseur 211 est lui alimenté de façon normale, par les deux lignes d'alimentation interne BV1 et BV2 et

permet de remettre en forme le signal de sortie du premier inverseur.

On notera que la logique de sortie des deux circuits de comparaison 20 et 21 est inversée.

D'autres réalisations sont possibles, par exemple avec des amplificateurs différentiels. La réalisation au moyen de simples inverseurs a comme avantage d'être peu coûteuse en place sur le circuit intégré et en prix de revient.

10 Dans un exemple pratique, les plots d'entrée/sortie PAD-A et PAD-B permettant l'alimentation interne en cas de connexion défectueuse sur les plots d'alimentation peuvent être des plots pour recevoir des signaux de commande par lesquels le circuit intégré est placé dans
15 un mode de fonctionnement ou dans un autre. Ces plots sont alors par défaut, à des niveaux de tension correspondant à un mode de fonctionnement par défaut. Le changement de mode de fonctionnement du circuit intégré est commandé en imposant sur l'un et/ou l'autre
20 plot un niveau de tension logique différent le temps d'un front ou d'une impulsion horloge. Dans un tel cas, la détection selon l'invention est permanente ou quasi permanente. Un tel fonctionnement correspond notamment au mode de fonctionnement des circuits intégrés
25 destinés aux applications de type carte à puce. Mais l'invention ne s'applique pas exclusivement à ce type de circuit intégré. Elle s'applique à tout circuit intégré comprenant au moins un plot d'entrée/sortie connecté à une ligne interne d'alimentation par un
30 dispositif de tirage, correspondant au niveau de tension par défaut sur ce plot. Notamment, il existe

d'autres plots d'entrée/sortie associés à des dispositifs de tirage à l'un des niveaux internes de tension d'alimentation, par exemple, le plot de transmission d'horloge, habituellement associé à un dispositif de tirage à la masse ou des plots d'entrée/sortie de donnée, habituellement associés à un dispositif de tirage à la tension d'alimentation logique positive Vdd. Dans ces exemples, le circuit de comparaison associé à un tel plot n'est actif que lorsque le niveau du plot est égal au niveau de tirage.

15

20

25

30

35

40

45

50

55

60

65

70

75

80

85

90

95

100

105

110

115

120

125

130

135

140

145

150

155

160

165

170

175

180

185

190

195

200

205

210

215

220

225

230

235

240

245

250

255

260

265

270

275

280

285

290

295

300

305

310

315

320

325

330

335

340

345

350

355

360

365

370

375

380

385

390

395

400

405

410

415

420

425

430

435

440

445

450

455

460

465

470

475

480

485

490

495

500

505

510

515

520

525

530

535

540

545

550

555

560

565

570

575

580

585

590

595

600

605

610

615

620

625

630

635

640

645

650

655

660

665

670

675

680

685

690

695

700

705

710

715

720

725

730

735

740

745

750

755

760

765

770

775

780

785

790

795

800

805

810

815

820

825

830

835

840

845

850

855

860

865

870

875

880

885

890

895

900

905

910

915

920

925

930

935

940

945

950

955

960

965

970

975

980

985

990

995

REVENDICATIONS

1. Dispositif de détection de mauvaise connexion

d'alimentation dans un circuit intégré comprenant au moins un plot d'alimentation (PAD-V1) pour appliquer une alimentation externe (V_{ext}) sur une ligne interne d'alimentation (BV1) du circuit intégré et au moins un plot d'entrée/sortie (PAD-B) avec un dispositif de tirage (5) connecté entre ledit plot et la dite ligne d'alimentation interne, caractérisé en ce que le dispositif de détection comprend un circuit de comparaison (20) des niveaux de tension entre ledit plot et la dite ligne d'alimentation interne.

2. Dispositif de détection selon la revendication

1, caractérisé en ce qu'il comprend au moins un circuit de comparaison (20, 21) par plot d'alimentation (PAD-V1, PAD-V2) du circuit intégré.

3. Dispositif selon la revendication 1 ou 2,

caractérisé en ce qu'il comprend un circuit de comparaison entre le niveau de tension d'une ligne d'alimentation interne et chaque plot d'entrée/sortie auquel est associé un dispositif de tirage connecté entre ce plot et ladite ligne.

4. Dispositif de détection selon l'une quelconque des revendications précédentes, caractérisé en ce qu'un circuit de comparaison (20) entre les niveaux de tension

d'une ligne d'alimentation interne (BV1) et d'un plot d'entrée/sortie (PAD-B). comprend un inverseur (200) alimenté par ledit plot et connecté en entrée à la dite ligne d'alimentation interne.

5

5. Dispositif de détection selon la revendication 4, caractérisé en ce que ledit inverseur (200) est formé de transistors ayant un seuil le plus petit possible.

10

6. Dispositif de détection selon la revendication 4 ou 5, caractérisé en ce que ledit circuit de comparaison (20) comprend un autre inverseur (201) en série avec le premier, qui fournit en sortie un signal de détection (Det1).

15

7. Dispositif de détection selon l'une quelconque des revendications précédentes, caractérisé en ce qu'il fournit en sortie un signal de détection (DET) appliqué comme signal de blocage du circuit intégré.

20

8. Circuit intégré comprenant un dispositif de détection selon l'une quelconque des revendications précédentes.

25

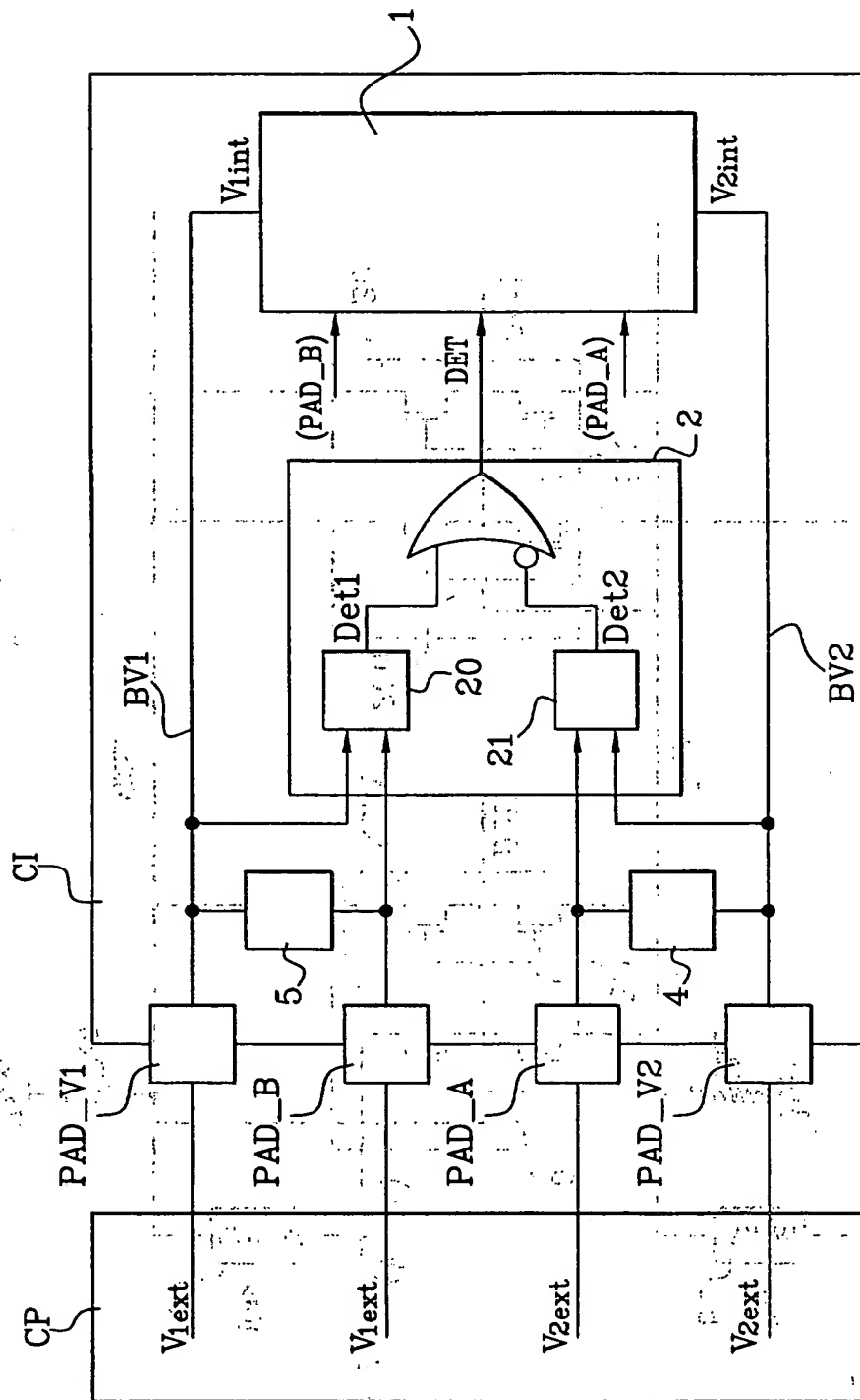
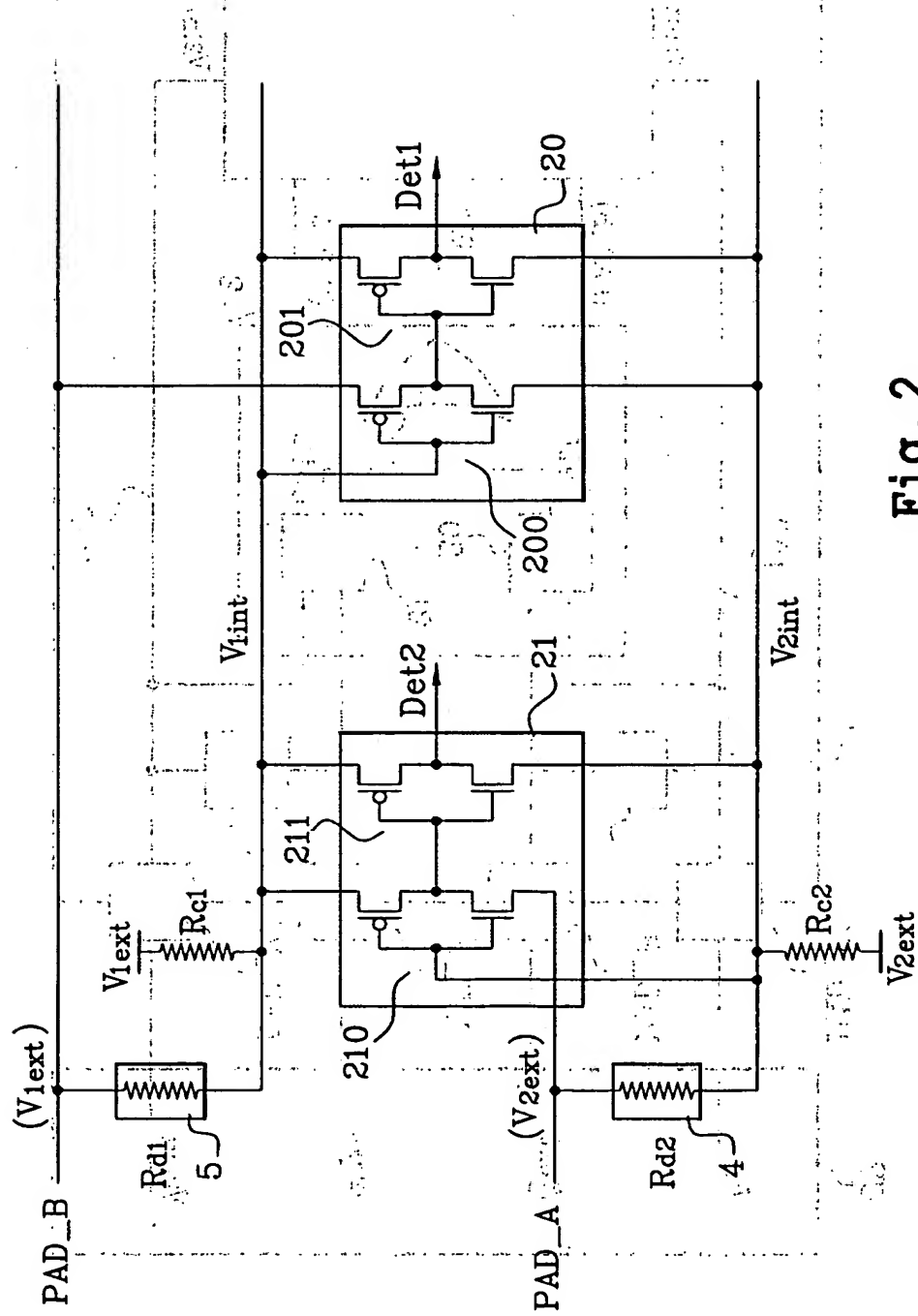


Fig. 1

**Fig. 2**

**BREVET D'INVENTION****CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 260899

Vos références pour ce dossier (facultatif)		015836 (00-RO-209)	
N° D'ENREGISTREMENT NATIONAL		0101253	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Circuit de détection de mauvaise connexion d'alimentation			
LE(S) DEMANDEUR(S) : STMICROELECTRONICS SA. 7, avenue Galliéni 94250 Gentilly France			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		MOREAUX	
Prénoms		Christophe	
Adresse	Rue	domicilié au Cabinet BALLOT 16 Avenue du Pont Royal	
	Code postal et ville	94230	CACHAN
Société d'appartenance (facultatif)			
Nom		KARI	
Prénoms		Ahmed	
Adresse	Rue	domicilié au Cabinet BALLOT 16 avenue du Pont Royal	
	Code postal et ville	94230	CACHAN
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) BORIN Lydie Mandataire N° 94-0506 Cabinet BALLOT			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.